

本文引用格式: 何柏声,詹瑞典.基于机器学习的快速时序校准方法[J].自动化与信息工程,2022,43(4):32-35,47.

HE Baisheng, ZHAN Ruidian. Fast time calibration method based on machine learning[J]. Automation & Information Engineering, 2022,43(4):32-35,47.

基于机器学习的快速时序校准方法*

何柏声¹ 詹瑞典²

(1.广东工业大学集成电路学院, 广东 广州 510006

2.佛山芯珠微电子有限公司, 广东 佛山 528225)

摘要: 针对布局布线工具和时序签核工具的时序分析差异, 导致的迭代次数多、时序收敛困难的问题, 提出一种基于机器学习的快速时序校准方法。首先, 基于 55 nm 工艺, 利用开源设计收集数据样本; 然后, 分别采用 Lasso 线性回归、BP 神经网络、随机森林算法完成寄生参数预测模型的训练、测试及对比; 最后, 通过实验验证该方法的时序校准效果。实验结果表明, 该方法可减少布局布线工具和时序签核工具间的时序分析差异。

关键词: 芯片物理设计; 静态时序分析; 机器学习; 寄生参数预测; 时序校准

中图分类号: TG156

文献标识码: A

文章编号: 1674-2605(2022)04-0007-05

DOI: 10.3969/j.issn.1674-2605.2022.04.007

Fast Time Calibration Method Based on Machine Learning

HE Baisheng¹ ZHAN Ruidian²

(1.School of Integrated Circuits, Guangdong University of Technology, Guangzhou 510006, China

2.ChipEyes Microelectronics Co., Ltd. Foshan 528225, China)

Abstract: A fast timing calibration method based on machine learning is proposed to solve the problems of multiple iterations and difficult timing convergence caused by the difference of timing analysis between the layout and routing tool and the timing signature tool. First, based on the 55 nm process, data samples were collected by open source design; Then, Lasso linear regression, BP neural network and random forest algorithm are respectively used to complete the training, testing and comparison of parasitic parameter prediction models; Finally, the timing calibration effect of this method is verified by experiments. The experimental results show that this method can reduce the time sequence analysis difference between the layout and routing tool and the time sequence signature tool.

Keywords: chip physical design; static time sequence analysis; machine learning; parasitic parameter prediction; timing calibration

0 引言

随着集成电路设计规模的提升和制造工艺的进步, 签核 (signoff) 中静态时序分析的时间成本更高、时序收敛更困难。国际半导体技术路线图指出, 设计成本是半导体路线图延续的最大阻碍, 其中工具许可、工程师工资等不可回收的成本是芯片设计成本的主要组成部分^[1-2]。在集成电路物理设计中, 布局布线 (P&R) 工具和 signoff 工具之间, 由于寄生参数提取

模型、时序计算方法等因素, 导致时序计算结果存在较大差异^[3], 影响 P&R 工具的设计质量, 造成额外的迭代优化工作, 使芯片设计效率降低和成本提高。

近年来, 人工智能迅速崛起, 其强大的学习和适应能力^[4]为减少 P&R 工具和 signoff 工具的时序分析差异、提高时序收敛效率带来新的方法和思路。KAHNG 等^[5]对机器学习在静态时序分析中的应用方向及相关研究成果进行全面综述, 并利用人工神经网络

络和支持向量机, 基于非串扰模式下设计数据, 实现串扰模式下时序预测^[6]。同时, 比较了基于图形的时序分析 (graph based analysis, GBA) 和基于路径的时序分析 (path based analysis, PBA) 方法的速度和精度差异, 并构建基于低时间成本的 GBA 时序预测模型和高时间成本的 PBA 时序预测模型^[7]。张书政等^[8]利用决策树、岭回归算法、基于已知工艺角下的时序信息预测其余缺失工艺角下的时序。BARBOZA 等^[9]采用 Lasso 线性回归、神经网络、随机森林算法, 结合网络分析法即计划评估和审查技术 (program evaluation and review technique, PERT), 实现由布局时序到签核时序的预测。

静态时序分析工具扩展性有限, 对芯片物理设计优化时, 需要多轮时序计算及迭代。上述研究成果需要完全嵌入到静态时序分析工具, 在每次时序分析时将预测结果导入静态时序分析工具, 才能充分发挥其作用及优势, 但这在实际工程中较难实现。

为此, 本文设计一种基于机器学习的快速时序校

准方法, 可在芯片物理设计过程中通过一次寄生参数校准, 完成 P&R 工具和 signoff 工具的时序校准。

1 快速时序校准方法及流程

在芯片物理设计的静态时序分析计算中, 寄生电容、电阻直接影响门单元延时、线延时和翻转时间。P&R 工具和 signoff 工具的寄生参数相关性是影响这 2 种工具时序差异的主要因素之一。在 P&R 工具中可以设置提取缩放因子, 对寄生电容、寄生电阻进行校准, 校准原理为

$$P_{\text{factor}} = k \times P_{\text{initial}} \quad (1)$$

式中:

P_{factor} ——校准后的寄生电容或寄生电阻;

k ——提取缩放因子;

P_{initial} ——校准前的寄生电容或寄生电阻。

本文根据寄生参数校准原理, 结合机器学习方法, 提出一种高效的时序校准方法, 时序校准流程如图 1 所示。

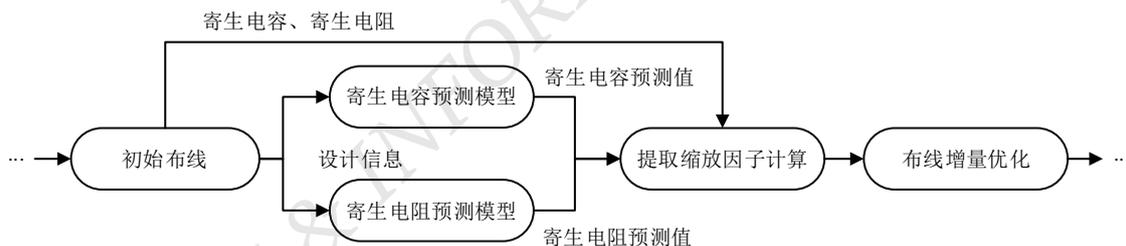


图 1 基于机器学习的快速时序校准流程图

初始布线完成后, 设计中存在具体的布线信息, 同时还有很多时序违例未修复, 需要大量时间执行布线增量优化。本文设计的时序校准方法如下:

1) 以初始布线为起点, 从 P&R 工具中提取各个节点的物理、时序信息, 分别输入到寄生电容、寄生电阻预测模型。

2) 寄生电容、寄生电阻预测模型基于 P&R 工具中时间成本较低的设计信息, 预测 signoff 阶段中高精度、高时间成本的寄生电容、寄生电阻。

3) 与 P&R 工具中的寄生电容、电阻进行比较,

分别计算出寄生电容和寄生电阻的提取缩放因子, 计算公式为

$$k_{C, \text{factor}} = \frac{\sum \overline{C_w}}{\sum C_w} \quad (2)$$

$$k_{R, \text{factor}} = \frac{\sum \overline{R_w}}{\sum R_w} \quad (3)$$

式中:

$k_{C, \text{factor}}$ ——寄生电容的提取缩放因子;

$k_{R, \text{factor}}$ ——寄生电阻的提取缩放因子;

$\overline{C_w}$ —— 寄生电容预测模型的输出值;

C_w —— P&R 工具中的寄生电容;

$\overline{R_w}$ —— 寄生电阻预测模型的输出值;

R_w —— P&R 工具中的寄生电阻。

4) 在 P&R 工具中设置提取缩放因子, 进行布线增量优化。

该方法可以在首次布线过程中完成时序校准, 无需额外迭代。

2 数据样本收集

为收集足够的数据样本训练和测试寄生电容预测模型、寄生电阻预测模型, 本文基于 6 个开源的门级网表^[10], 利用 55 nm 工艺, 重复进行物理设计实验, 并提取设计中各个节点的物理、时序信息, 分别构建寄生电容预测模型、寄生电阻预测模型的数据集。构建数据集设计规模如表 1 所示。数据样本收集流程图 2 所示。

表 1 构建数据集设计规模 单位: 个

设计名称	门数	寄存器数	互连线数
b17	20 000	2 000	20 000
b22	18 000	1 800	18 000
des3	62 000	13 000	63 000
ethernet	35 000	11 000	35 000
jpeg	285 000	38 000	289 000
vga_lcd	41 000	17 000	41 000

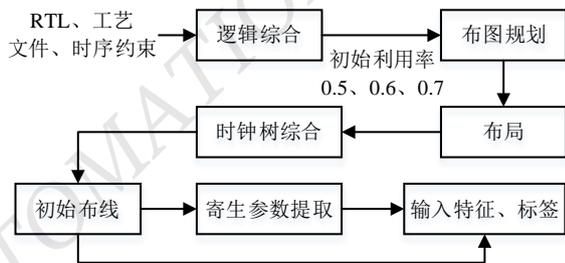


图 2 数据样本收集流程图

为使数据样本足够多, 将 6 个设计分别在不同的时钟周期和面积组合下进行逻辑综合和物理设计, 各个设计的时钟周期选择如表 2 所示。通过选择不同初

始利用率实现设计面积调整, 本文选择的初始利用率分别为 0.5、0.6、0.7。

表 2 时钟周期选择 单位: ns

设计名称	周期 1	周期 2	周期 3
b17	2.5	3.0	3.5
b22	3.5	4.0	4.5
des3	2.5	3.0	4.0
ethernet	3.5	4.0	4.5
jpeg	5.5	6.0	6.5
vga_lcd	2.5	3.0	3.5

初始布线完成后, 在 P&R 工具中对各个节点提取表 3 中的参数作为预测模型特征; 然后, 采用寄生参数提取工具提取每条 net 的寄生电容、寄生电阻作为标签; 最终, 获得 2 026 493 个数据样本。

表 3 输入特性符号及描述

特征编号	参数符号	物理意义
1	R_w	导线总电阻
2	C_w	导线电容
3	C_{eff}	负载等效电容
4	C_{coup}	耦合电容
5	N_{fanout}	扇出数量
6	$T_{w, in}$	net 输入端翻转时间
7	D_w	线延迟

3 寄生电容、寄生电阻预测模型训练及测试

将数据集随机划分为训练集和测试集, 分别占整个数据集的 70% 和 30%。利用训练集数据, 基于 Lasso 线性回归、BP 神经网络和随机森林算法分别训练寄生电容预测模型、寄生电阻预测模型。其中, 基于 BP 神经网络的寄生电容预测模型、寄生电阻预测模型的隐含层数量为 1 层, 神经元个数为 12 个; 基于随机森林算法的寄生电容预测模型、寄生电阻预测模型决策树数量分别为 100 棵、300 棵。

测试集中, 寄生电容预测模型、寄生电阻预测模型的绝对平均误差 (mean absolute error, MAE) 对比如表 4 所示。其中, P&R 表示 P&R 工具和 signoff 工

具间的寄生电容或寄生电阻的 MAE 。

表 4 不同算法预测模型测试结果对比

算法名称	寄生电容 MAE/fF	寄生电阻 $MAE/k\Omega$
基于 Lasso 线性回归	0.493 4	0.018 4
BP 神经网络	0.357 9	0.017 3
随机森林	0.305 4	0.009 8
P&R	1.712 0	0.124 1

由表 4 可知，无论是寄生电容预测还是寄生电阻预测，随机森林算法的效果最好，寄生电容、寄生电阻的 MAE 分别减少了约 82.2% 和 92.1%。

4 时序校准验证结果

将基于随机森林算法的寄生电容预测模型、寄生电阻预测模型应用于本文的时序校准流程，利用 SM3、SM4、SHA、AES 四个加解密模块验证本文提出的时序校准方法的效果。寄生电容、寄生电阻预测结果如表 5 所示；是否进行时序校准情况下，P&R 工具和 signoff 工具的时序结果对比如表 6 所示，其中 $N_{critical}$ 表示时序违例数量、 MAE_{slack} 表示路径松弛 (slack) 的绝对平均误差。

表 5 寄生电容、寄生电阻预测结果

加解密模块	P&R VS	signoff	随机森林 VS signoff	
	电容 MAE/fF	电阻 $MAE/k\Omega$	电容 MAE/fF	电阻 $MAE/k\Omega$
SM3	3.178 9	0.137 4	1.064 1	0.010 0
SM4	2.382 2	0.140 1	0.609 1	0.011 7
SHA	1.996 5	0.143 6	0.445 2	0.015 4
AES	3.486 9	0.199 2	1.149 0	0.011 5

表 6 时序结果对比

加解密模块	已时序校准		未时序校准	
	$N_{critical}$	MAE_{slack} /ns	$N_{critical}$	MAE_{slack} /ns
SM3	64	0.057 2	103	0.201 8
SM4	162	0.066 8	840	0.198 4
SHA	20	0.036 8	58	0.152 2
AES	193	0.080 2	373	0.270 2

由表 5 可知，寄生电容预测模型、寄生电阻预测模型将寄生电容的 MAE 减少了 66.5%~77.7%、寄生电阻的 MAE 减少了 89.3%~94.2%。

由表 6 可知，经过时序预校准后，路径松弛的 MAE 减少了 66.3%~75.8%，在 signoff 阶段存在的时序违例也有明显减少。

5 结论

本文利用 P&R 工具可调寄生电容、寄生电阻提取缩放因子的特性，设计一种基于机器学习的快速时序校准方法。该方法可以在布线过程中完成时序校准，减少 signoff 阶段的时序违例数量，有效提高时序收敛效率，缩短芯片开发周期、减少设计成本。

参考文献

- [1] ALLAN A, EDENFELD D, JOYNER W H, et al. 2001 technology roadmap for semiconductors[J]. Computer, 2002, 35(1):42-53.
- [2] KAHNG A B, SMITH G. A new design cost model for the 2001 ITRS[C]//Proceedings International Symposium on Quality Electronic Design. IEEE, Los Alamitos: IEEE Computer Society Press, 2002:190-193.
- [3] HAN S S, KAHNG A B, NATH S, et al. A deep learning methodology to proliferate golden signoff timing[C]. 2014 Design, Automation & Test in Europe Conference & Exhibition (DATE). IEEE, 2014:1-6.
- [4] 陈诗军,杜娟,林登萍,等.基于仿生学的人工智能方法论模型及架构评价体系[J].自动化与信息工程,2022,43(1):7-14.
- [5] KAHNG A B. New directions for learning-based IC design tools and methodologies[C]. Proceedings of the 2018 23rd Asia and South Pacific Design Automation Conference. New York: ACM Press, 2018:405-410.
- [6] KAHNG A B, LUO M, NATH S. SI for free: machine learning of interconnect coupling delay and transition effects[C]//2015 ACM/IEEE International Workshop on System Level Interconnect Prediction (SLIP). IEEE, 2015:1-8.
- [7] KAHNG A B, MALLAPPA U, SAUL L. Using machine learning to predict path-based slack from graph-based timing analysis[C]//2018 IEEE 36th International Conference on Computer Design (ICCD). IEEE Computer Society, 2018:603-612.

(下转第 47 页)